

10 / 577457

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/014208

International filing date: 03 August 2005 (03.08.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-237211
Filing date: 17 August 2004 (17.08.2004)

Date of receipt at the International Bureau: 15 September 2005 (15.09.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 8 月 1 7 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 2 3 7 2 1 1

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

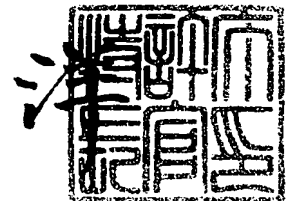
J P 2 0 0 4 - 2 3 7 2 1 1

出 願 人
Applicant(s): ローム株式会社

2 0 0 5 年 8 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 PR4-00279
【提出日】 平成16年 8月17日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/768
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 山中 貴光
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
【代理人】
 【識別番号】 100087701
 【弁理士】
 【氏名又は名称】 稲岡 耕作
【選任した代理人】
 【識別番号】 100101328
 【弁理士】
 【氏名又は名称】 川崎 実夫
【手数料の表示】
 【予納台帳番号】 011028
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0402732

【書類名】特許請求の範囲

【請求項 1】

ゲート電極のエッジ部にゲート酸化膜よりも厚い酸化膜を配置したドリフト・ドレイン構造のトランジスタを有する半導体装置の製造方法であって、

半導体基板を覆う耐酸化性マスク膜を形成する工程と、

前記耐酸化性マスク膜においてチャネル領域を挟んだ一対の領域にレジスト開口を有するレジスト膜を形成するレジスト膜形成工程と、

前記レジスト開口が形成された前記レジスト膜をマスクとして、前記トランジスタのドリフト層を形成するためのイオンを前記半導体基板に注入するイオン注入工程と、

前記レジスト膜をマスクとして前記耐酸化性マスク膜をエッチングし、この耐酸化性マスク膜に、前記レジスト膜の前記一対のレジスト開口に対応した一対のマスク開口を形成する耐酸化性マスク選択エッチング工程と、

前記イオン注入工程および前記耐酸化性マスク選択エッチング工程の後に、前記耐酸化性マスク膜をマスクとして前記半導体基板表面を熱酸化することにより、前記耐酸化性マスク膜に形成された一対のマスク開口に対応する領域にLOCOS酸化膜を形成するとともに、前記半導体基板に注入されたイオンを熱拡散させて、前記チャネル領域を挟んで対向する一対のドリフト層を形成する工程と、

前記耐酸化性マスク膜を除去する工程と、

前記一対のドリフト層の間の前記半導体基板の表面に、前記LOCOS酸化膜よりも薄いゲート酸化膜を形成する工程と、

前記ゲート酸化膜の上部から前記LOCOS酸化膜の上部に至る領域に延在するゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置の製造方法

【技術分野】

【0001】

この発明は、ゲート電極のエッジ部にゲート酸化膜よりも厚い酸化膜を配置したドリフト・ドレイン構造のトランジスタを有する半導体装置の製造方法に関する。

【背景技術】

【0002】

トランジスタの耐圧を高めるための構造の一つにドリフト・ドレイン構造がある。ドリフト・ドレイン構造とは、ゲート絶縁膜の縁部に厚い酸化膜を形成し、この厚い酸化膜上にゲート電極のエッジ部を配置した構造をいう。この構造により、ゲート電極のエッジ部における電界の集中が緩和されるので、トランジスタの高耐圧化が可能になる。

図7は、ドリフト・ドレイン構造のトランジスタを有する半導体装置の製造方法を説明するための模式的な断面図である。まず、図7(a)に示すように、半導体基板1上に、窒化膜2が形成され、この窒化膜2がレジスト膜10をマスクとしてパターン化される。この窒化膜2は、チャンネル領域3を挟んで対向する領域に一对の開口2aを有している。この窒化膜2を耐酸化性マスクとして熱酸化を行うことにより、図7(b)に示すように、半導体基板1の表面に厚いLOCOS酸化膜4が形成される。

【0003】

次に、図7(c)に示すように、窒化膜2を除去した後、イオン注入および注入イオンの熱拡散（ドライブ）を行うことにより、P型ウェル5が形成される。さらに、チャンネル領域3とウェル5外の領域を覆うようにレジスト膜6が形成され、このレジスト膜6をマスクとしてN型不純物イオンが注入される。

その後、図7(d)に示すように、レジスト膜6を剥離し、注入されたN型不純物イオンを熱拡散させることによって、チャンネル領域3を挟んで対向する一对のドリフト層7が形成される。このドリフト層7は、チャンネル領域3の両側のLOCOS酸化膜4を潜り込んでチャンネル領域3へと達する。チャンネル領域3における半導体基板1の表面には、熱酸化法によって、薄いゲート酸化膜8が形成され、このゲート酸化膜8はLOCOS酸化膜4に接続されることになる。この状態で、ゲート電極9が、ゲート酸化膜8の上部を覆い、さらにLOCOS酸化膜4の上部にまで至る領域に渡って形成される。こうして、ゲート電極9のエッジ部が、ゲート酸化膜8よりも厚いLOCOS酸化膜4の上部に位置するから、ゲート電極9のエッジ部における電界の集中を緩和できる。

【特許文献1】特開平8-227998

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところが、前述のような製造方法では、LOCOS酸化膜4の内方エッジからチャンネル領域3内方へのドリフト層7の進入距離Xにはばらつきが生じるという問題がある。この進入距離Xのばらつきは、窒化膜2のパターン化のためのマスクとなるレジスト膜10と、ドリフト層7の形成のためのマスクとなるレジスト膜6とのずれ（マスクずれ）に起因している。そのため、進入距離Xは、ウェハ（半導体基板1）間ではばらつくうえに、同一ウェハ上の面内位置によってもばらつく。

【0005】

この進入距離Xは、図8に示すように、トランジスタの耐圧（BV_{dss}: Breakdown Voltage of drain with source short）に大きな影響を与える。この図8から、進入距離Xを大きくとれば耐圧が安定することが分かるが、進入距離Xを大きくするような設計では、トランジスタの微細化の要請に反し、かつ耐圧そのものも低い値しか実現できない。したがって、進入距離Xをなるべく小さくし、かつ、ばらつきを少なくすることが課題となっていた。

【0006】

この発明の目的は、ドリフト・ドレイン構造のトランジスタにおいて高耐圧化および微細化を行うときに生じる耐圧のばらつきを抑制することができる半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0007】

上記の目的を達成するための請求項1記載の発明は、ゲート電極のエッジ部にゲート酸化膜よりも厚い酸化膜を配置したドリフト・ドレイン構造のトランジスタを有する半導体装置の製造方法であって、図6に一例を示すように、半導体基板40を覆う耐酸化性マスク膜43（たとえば窒化シリコン膜）を形成する工程（図6(a)）と、前記耐酸化性マスク膜43においてチャンネル領域77を挟んだ一対の領域にレジスト開口44aを有するレジスト膜44を形成するレジスト膜形成工程（図6(b)）と、前記レジスト開口44aが形成された前記レジスト膜44をマスクとして、前記トランジスタのドリフト層を形成するためのイオンを前記半導体基板40に注入するイオン注入工程（図6(c)）と、前記レジスト膜44をマスクとして前記耐酸化性マスク膜43をエッチングし、この耐酸化性マスク膜43に、前記レジスト膜44の前記一対のレジスト開口44aに対応した一対のマスク開口43aを形成する耐酸化性マスク選択エッチング工程（図6(d)）と、前記イオン注入工程および前記耐酸化性マスク選択エッチング工程の後に、前記耐酸化性マスク膜43をマスクとして前記半導体基板40表面を熱酸化することにより、前記耐酸化性マスク膜43に形成された一対のマスク開口43aに対応する領域にLOCOS酸化膜84、85を形成するとともに、前記半導体基板40に注入されたイオンを熱拡散させて、前記チャンネル領域77を挟んで対向する一対のドリフト層78、79を形成する工程（図6(e)）と、前記耐酸化性マスク膜43を除去する工程（図6(f)）と、前記一対のドリフト層78、79の間の前記半導体基板40の表面に、前記LOCOS酸化膜84、85よりも薄いゲート酸化膜80を形成する工程（図6(g)）と、前記ゲート酸化膜80の上部から前記LOCOS酸化膜84、85の上部に至る領域に延在するゲート電極81を形成する工程（図6(h)）とを含むことを特徴とする半導体装置の製造方法である。

【0008】

この方法によれば、1枚のレジスト膜をマスクとして、ドリフト層の形成のためのイオン注入を行い、かつ、チャンネル領域を挟んで対向する領域において耐酸化性マスク膜にマスク開口が形成される。すなわち、ドリフト層の形成のためのイオン注入と、耐酸化性マスク膜のパターニングとに共通のレジスト膜が用いられる。これにより、ドリフト層とLOCOS酸化膜とが自己整合的に形成されることになるから、LOCOS酸化膜のチャンネル領域側縁部からチャンネル領域内方へのドリフト層の進出距離を正確に制御できるようになる。これにより、ドリフト・ドレイン構造のトランジスタの耐圧のばらつきを抑制することができる。

【0009】

なお、レジスト膜のレジスト開口や耐酸化性マスク膜のマスク開口は、必ずしも全周が包囲された開口である必要はない。たとえば、チャンネル領域を挟んで対向する一対のレジスト開口やマスク開口は、チャンネル領域を避けた領域で連続して1つの開口をなしていてもよい。

【発明を実施するための最良の形態】

【0010】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の一実施形態に係る半導体装置の構成を説明するための図解的な断面図である。この半導体装置は、複数の低耐圧トランジスタ51が形成される第1領域50と、複数の高耐圧トランジスタ71が形成される第2領域70とを有するシリコン基板（半導体基板の一例）40を備えている。

【0011】

第1領域50内に形成された複数の低耐圧トランジスタ51は、シリコン基板40の表層部に形成されたシャロウ・トレンチ分離（STI：Shallow Trench Isolation）部52

によって分離された素子形成領域53内に形成されている。STI部52は、シリコン基板40の表面に形成された浅い（たとえば、深さ4000Å程度）トレンチ54内に酸化シリコン55を埋め込んで形成されている。

【0012】

素子形成領域53を含む領域には、シリコン基板40の表層部に、ウェル（P型ウェルまたはN型ウェル）56が形成されている。このウェル56内には、チャンネル領域57を挟んでソース拡散層58およびドレイン拡散層59（P型ウェル内ではN型拡散層、N型ウェル内ではP型拡散層）が形成されている。そして、チャンネル領域57の表面に、たとえば膜厚32Åのゲート酸化膜60が形成され、このゲート酸化膜60上にゲート電極61が積層されている。

【0013】

図示は省略するが、さらに、ゲート電極61上およびソース／ドレイン拡散層58、59を覆うように層間絶縁膜が形成されている。この層間絶縁膜に形成されたコンタクト孔を介してソース拡散層58およびドレイン拡散層59にそれぞれ接合するようにソース電極およびドレイン電極が形成されている。

第1領域50内に形成されている複数の低耐圧トランジスタ51は、いずれもNチャンネル型トランジスタ（P型ウェル内にN型ソース・ドレイン拡散層を形成したもの）であってもよいし、いずれもPチャンネル型トランジスタ（N型ウェル内にP型ソース・ドレイン拡散層を形成したもの）であってもよく、Nチャンネル型トランジスタおよびPチャンネル型トランジスタの両方を含んでいてもよい。

【0014】

第2領域70に形成された高耐圧トランジスタ71は、シリコン基板40の表層部に形成されたSTI部72によって分離された素子形成領域73に形成されている。STI部72は、シリコン基板40の表面に形成された浅い（たとえば、深さ4000Å程度）トレンチ74内に酸化シリコン75を埋め込んで形成されている。

素子形成領域73を含む領域には、シリコン基板40の表層部に、ウェル（P型ウェルまたはN型ウェル）76が形成されている。このウェル76内には、チャンネル領域77（アクティブ領域）を挟んでソース側ドリフト層78およびドレイン側ドリフト層79（P型ウェル内ではN型ドリフト層、N型ウェル内ではP型ドリフト層）が形成されている。そして、チャンネル領域77の表面に、たとえば膜厚1000Åのゲート酸化膜80が形成され、このゲート酸化膜80上にゲート電極81が積層されている。

【0015】

ドリフト層78、79の表面には、厚いLOCOS酸化膜84、85（たとえば、膜厚2800Å程度）がそれぞれ形成されている。ゲート電極81は、チャンネル領域77上からLOCOS酸化膜84、85のチャンネル領域77側縁部に至る領域に形成されている。これにより、ゲート電極81の端部81aは、ゲート酸化膜80よりも厚いLOCOS酸化膜84、85上に位置しており、電界の集中を防いで高耐圧を実現するドリフト・ドレイン構造が形成されている。

【0016】

LOCOS酸化膜84、85には、ドリフト層78、79にソース電極およびドレイン電極をそれぞれ接合するためのコンタクト孔86、87が形成されている。これらのコンタクト孔86、87の直下の領域には、ドリフト層78、79と同じ導電型でそれらよりも高濃度に不純物を含むソースコンタクト層78aおよびドレインコンタクト層79aがそれぞれ形成されている。図示は省略するが、さらに、上述の層間絶縁膜が、ゲート電極81上およびLOCOS酸化膜84、85を覆うように形成されている。この層間絶縁膜には、ソース電極およびドレイン電極のためのコンタクト孔がそれぞれ形成されており、これらはLOCOS酸化膜84、85に形成されたコンタクト孔86、87に連通している。

【0017】

ドリフト層78、79は、LOCOS酸化膜84、85の下方を回り込んでチャンネル領

域77へと進入している。LOCOS酸化膜84, 85のチャンネル領域77側の縁部からチャンネル領域77の内方へのドリフト層78, 79の進入距離X1, X2は、後述の製造方法の適用によって、ばらつきを抑制して、精度よく制御される。

第2領域70内に形成されている複数の高耐圧トランジスタ71は、いずれもNチャンネル型トランジスタ（P型ウェル内にN型ドリフト層を形成したもの）であってもよいし、いずれもPチャンネル型トランジスタ（N型ウェル内にP型ドリフト層を形成したもの）であってもよく、Nチャンネル型トランジスタおよびPチャンネル型トランジスタの両方を含んでもよい。

【0018】

高耐圧トランジスタ71は、低耐圧トランジスタ51よりも耐圧の高いトランジスタである。たとえば、高耐圧トランジスタ71の耐圧は、40V程度であるのに対して、低耐圧トランジスタ51の耐圧は、1.8V程度である。また、低耐圧トランジスタ51は、高耐圧トランジスタ71よりも微細な構造であり、高耐圧トランジスタ71の素子サイズ（素子形成領域73の大きさ）は20 μ mのオーダーであるのに対して、低耐圧トランジスタ51の素子サイズ（素子形成領域53の大きさ）は1 μ mのオーダーとなっている。

【0019】

この実施形態の半導体装置では、素子形成領域53, 73の分離をSTI部52, 72によって行っているため、LOCOS法による素子分離の場合に比較して、素子分離のために占有される領域（素子分離領域）を小さくすることができる。これにより、とくに、低耐圧領域である第1領域50において微細構造の低耐圧トランジスタ51を高密度に形成することができる。その一方で、高耐圧領域である第2領域70においては、ドリフト・ドレイン構造のための厚い酸化膜は、LOCOS酸化膜84, 85で形成されている。これにより、この厚い酸化膜をSTI構造で形成する場合における電界集中の問題を克服することができ、高耐圧トランジスタ71の耐圧を向上することができる。

【0020】

図2A～2Lは、前記の半導体装置の製造方法を工程順に示す断面図である。まず、図2Aに示すように、STI部52, 72を形成したシリコン基板40が作製される。具体的には、シリコン基板40の表面の第1および第2領域50, 70に、たとえば反応性イオンエッチングによってトレンチ54, 74（深さ4000Å程度）を形成し、さらに、全面に酸化シリコン膜（HDP：高密度プラズマ酸化膜）が形成される。その後、CMP（化学的機械的研磨）法によって表面を平坦化し、トレンチ54, 74外の酸化シリコン膜を除去することにより、トレンチ54, 74内に酸化シリコン55, 75が埋め込まれた構造のSTI部52, 72が得られる。

【0021】

この状態から、第2領域70のウェル76を形成すべき領域に開口を有するレジスト膜41でシリコン基板40の表面を覆い、このレジスト膜41をマスクとしてウェル76の形成のための不純物イオンが注入される。この不純物イオンは、ウェル76をP型とする場合であれば、たとえばホウ素イオンであり、ウェル76をN型とする場合であれば、たとえばリンイオンである。このイオン注入の際、第1領域50はレジスト膜41で覆われているので、この第1領域50には不純物イオンは導入されない。

【0022】

次に、図2Bに示すように、レジスト膜41を剥離し、熱酸化法によって、シリコン基板40の表面全面にパッド酸化膜42が形成される。この際にシリコン基板40に与えられる熱を利用して、シリコン基板40に注入された不純物イオンの熱拡散（ドライブ）が行われ、シリコン基板40内にウェル76が形成される。

続いて、図2Cに示すように、CVD（化学的気相成長）法によって、パッド酸化膜42の全面を被覆する窒化シリコン膜43（たとえば、膜厚300Å程度）が形成される。次いで、図2Dに示すように、窒化シリコン膜43の表面にレジスト膜44のパターンが形成される。このレジスト膜44は、図1の構造におけるLOCOS酸化膜84, 85に対応するレジスト開口44a（チャンネル領域77を挟んで対向する一対の領域に形成され

るレジスト開口)を有し、残余の部分を被覆するものである。すなわち、レジスト膜44は、第1領域50全体を被覆し、第2領域70のチャネル領域77に対応する領域を被覆し、コンタクト孔86, 87に対応する領域を被覆している。このレジスト膜44をマスクとして、ドリフト層78, 79を形成するための不純物イオンが注入される。この不純物イオンは、ウェル76とは反対の導電型の不純物イオンであり、ドリフト層78をN型とする場合であれば、たとえばリンイオンが用いられ、ドリフト層78, 79をP型とする場合であれば、たとえばホウ素イオンである。不純物イオンの注入エネルギーは、イオン投影飛程がSTI部72の厚さよりも小さくなるように設定される。

【0023】

この後、図2Eに示すように、レジスト膜44をマスクとして、ドライエッチングである反応性イオンエッチング(RIE: Reactive Ion Etching)が行われ、後に耐酸化性マスク膜として用いられる窒化シリコン膜43がパターンニングされる。すなわち、この窒化シリコン膜43は、レジスト膜44と同様、第1領域50全体を被覆し、第2領域70のチャネル領域77に対応する領域を被覆し、コンタクト孔86, 87に対応する領域を被覆している。この窒化シリコン膜43は、レジスト膜44によってパターンニングされるので、このレジスト膜44のレジスト開口44aと整合するマスク開口43aを有することになり、このマスク開口43aは、チャネル領域77を挟んで対向する一対の領域に形成される。

【0024】

次に、図2Fに示すように、窒化シリコン膜43を耐酸化性マスクとした熱酸化(LOCOS法)が行われる。これにより、第2領域70内において、チャネル領域77を挟んで対向する領域(ドリフト層78, 79の領域)にLOCOS酸化膜84, 85が形成されるとともに、注入されたイオンの熱拡散(ドライブ)が生じることにより、チャネル領域77を挟んで対向するドリフト層78, 79が形成されることになる。

【0025】

LOCOS酸化膜84, 85は、2800Å程度の膜厚を有している。また、ドリフト層78, 79は、LOCOS酸化膜84, 85のチャネル領域77側エッジ部よりも、チャネル領域77の内方に進入距離X1, X2だけ入り込んだ状態となる。図2Dおよび図2Eを参照して説明したとおり、ドリフト層78, 79の形成のためのイオン注入時に使用されるマスクとしてのレジスト膜44は、LOCOS酸化膜84, 85の形成時の耐酸化性マスクとしての窒化シリコン膜43のパターンニングのためにも利用されている。したがって、ドリフト層78, 79およびLOCOS酸化膜84, 85は、自己整合的に形成されることになる。その結果、上記の進入距離X1, X2は、熱による拡散距離で決定されることになり、高精度に制御されるから、複数の高耐圧トランジスタ71間でのばらつきはもちろんのこと、複数の半導体装置間でのばらつきを抑制できる。これにより、耐圧のばらつきを大幅に低減することができる。

【0026】

図2Fに示すように、LOCOS酸化膜84, 85を形成するための熱酸化処理によって、窒化シリコン膜43の表面には、酸化皮膜(薄い酸化膜)45(たとえば膜厚150Å程度)が形成され、この酸化皮膜45の分だけ窒化シリコン膜43の膜厚が減少する(たとえば150Å程度となる)。LOCOS酸化膜84, 85の形成時に十分な膜厚の酸化皮膜45が窒化シリコン膜43上に成長しない場合には、たとえば、CVD法によって、窒化シリコン膜43を被覆する酸化皮膜45を成長させる工程を行ってもよい。

【0027】

次に、図2Gに示すように、チャネル領域77(LOCOS酸化膜84, 85の間の領域)を露出させるとともに、シリコン基板40上の残余の部分を被覆するパターンのレジスト膜46が形成される。そして、このレジスト膜46をマスクとして、ふっ酸液によるウェットエッチングが行われる。これにより、レジスト膜46から露出している領域において、窒化シリコン膜43の表面の酸化皮膜45がエッチング除去される。窒化シリコン膜43は、ふっ酸液によるエッチングレートが酸化シリコンに比較して十分に低いので、

シリコン基板40上に残留する。

【0028】

次いで、図2Hに示すように、レジスト膜46を剥離した後、熱リン酸液（室温よりも高温のリン酸液）によるエッチングを行う。具体的には、たとえば、150℃のリン酸液中に約60分間シリコン基板40を浸漬する。これにより、表面に酸化皮膜45が形成されていない領域において、窒化シリコン膜43が剥離される。すなわち、LOCOS酸化膜84、85の領域の窒化シリコン膜43が選択的に剥離されることになる。このとき、酸化シリコンは熱リン酸液によるエッチングレートが低いので、ほぼそのままシリコン基板40上に残留する。こうして、第1領域50を窒化シリコン膜43で被覆（さらに、第2領域70内のチャネル領域77以外の領域を被覆）した状態で、チャネル領域77においてのみ、窒化シリコン膜43を選択的に除去することができる。熱リン酸液によるエッチングにおける窒化シリコン膜43のパッド酸化膜42（下地膜）に対する選択比は100以上であり、エッチング時間設計におけるマージンを大きくとることができる。

【0029】

この後、ふっ酸液によつてエッチングを行うことにより、チャネル領域77の表面のパッド酸化膜42を除去して、シリコン基板40の表面を露出させることができる。

この状態から、熱酸化処理が行われ、図2Iに示すように、チャネル領域77にゲート酸化膜80（たとえば、膜厚1000Å）が成長させられる。このとき、チャネル領域77以外の領域では、窒化シリコン膜43で覆われているので、この窒化シリコン膜43上に若干の酸化膜が成長するものの、シリコン基板40の表面における酸化膜の成長は生じない。

【0030】

このように、第2領域70のチャネル領域77上の窒化シリコン膜43の選択除去は、ふっ酸液とリン酸液とを用いたウェットエッチング工程によって行われ、反応性イオンエッチングのようなドライエッチング工程を必要としない。そのため、チャネル領域77のシリコン基板40の表面にプラズマによるダメージが与えられることがないので、良好な膜質のゲート酸化膜80を形成するとともに、キャリアが移動するチャネル領域77の表層部におけるシリコン基板40の結晶状態を良好な状態に保持できる。反応性イオンエッチング工程によって窒化シリコン膜43にマスク開口43aを開く図2Eの工程では、LOCOS酸化膜84、85が形成される領域が開くので、このときにシリコン基板40の表面に与えられるダメージが素子特性に影響することはない。

【0031】

さらに、第1および第2領域50、70の両方に、第2領域70に対応した厚いゲート酸化膜を形成し、第1領域50側の当該厚いゲート酸化膜を選択的に除去した後に、この第1領域50側に選択的に薄いゲート酸化膜を形成するような工程をとる場合と比較すると、第1および第2領域50、70の間に顕著な段差が生じることを防止できるという利点がある。すなわち、第1領域50に対応したゲート酸化膜60、第2領域70に対応したゲート酸化膜80、およびLOCOS酸化膜84、85の3種類の膜厚の酸化シリコン膜を、顕著な段差を生じさせることなく形成することができる。これにより、その後のリソグラフィ工程におけるフォーカスマージンの低下を抑制できる。

【0032】

次に、図2Iの工程に続いて、図2Jに示すように、シリコン基板40上の全部の窒化シリコン膜43が剥離される。具体的には、ふっ酸液によって窒化シリコン膜43の表面の酸化皮膜45をエッチングした後、熱リン酸液によって、窒化シリコン膜43が除去される。窒化シリコン膜43の表面の薄い酸化膜のエッチングによって、ゲート酸化膜80の若干の膜減りが生じるが、このときのエッチングはシリコン窒化膜43の表面の薄い酸化膜を除去するだけであるので、ゲート酸化膜80は、単に表層部分がエッチングされるだけであり、問題とはならない。

【0033】

次に、図2Kに示すように、第2領域70の全体を被覆するとともに、第1領域50に

においてウェル56に対応する領域においてシリコン基板40の表面を露出させるレジスト膜47が形成される。このレジスト膜47をマスクとしてウェル56の形成のための不純物イオンが注入される。この不純物イオンは、ウェル56をP型とする場合であれば、たとえばホウ素イオンであり、ウェル56をN型とする場合であれば、たとえばリンイオンである。このイオン注入の際、第2領域70はレジスト膜47で覆われているので、この第2領域70には不純物イオンは導入されない。

【0034】

続いて、図2Lに示すように、レジスト膜47をマスクとして、ふっ酸液によるウェットエッチングを行い、第1領域50（とくにウェル56の領域）におけるシリコン基板40の表面のパッド酸化膜42が除去される。

そして、図2Mに示すように、熱酸化法によって、ウェル56の領域にゲート酸化膜60が形成される。このゲート酸化膜60の膜厚は、たとえば32Åである。このゲート酸化膜60を形成すべき領域におけるシリコン基板40の表面は、第2領域70にLOCOS酸化膜84を形成する工程においても、また、第2領域70においてゲート酸化膜80を形成する工程においても、終始、窒化シリコン膜43によって保護されている。そのため、第1領域50に形成されるゲート酸化膜60は、LOCOS酸化膜84、85や第2領域70におけるゲート酸化膜80の形成工程の影響を受けることなく、それらの厚い酸化膜を第1領域50のような微細パターン上に形成したときに生じる応力によってシリコン基板40に結晶欠陥が導入されることと、それによってリーク電流が増大することを回避できる。

【0035】

次いで、図2Nに示すように、低耐圧トランジスタ51のゲート電極61および高耐圧トランジスタ71のゲート電極81が形成される。これらは、たとえばポリシリコン膜からなっているてもよい。具体的には、ポリシリコン膜をシリコン基板40の全面に被着形成した後、これをエッチングしてゲート電極61、81を形成すればよい。ゲート電極81は、そのエッジ部がLOCOS酸化膜84、85上に位置するパターンに形成される。

【0036】

その後、ソースおよびドレインの形成のためのイオン注入が行われることにより、低耐圧トランジスタ51のソース拡散層58およびドレイン拡散層59がゲート電極61を挟んで対向する領域に形成され、さらに、ドリフト層78、79のLOCOS酸化膜84、85のほぼ中央の開口部の直下にソースコンタクト層78aおよびドレインコンタクト層79aがそれぞれ形成される。こうして、図1に示す構造の半導体装置が得られる。

【0037】

図3は、高耐圧トランジスタ71の近傍の平面図であり、図2Eの工程における構成が示されている。図2Eには、図3の切断面線II-IIに相当する断面構造が示されている。また、図4Aは、図3の切断面線IV-IVにおける断面図であり、図4Bは図2Fの工程に対応する同様の切断面を示し、図4Cは図2Iに対応する同様の切断面を示す。

反応性イオンエッチングによってパターンニングされた状態の窒化シリコン膜43（図3において斜線を付して示す。）は、STI部72によって区画されるチャネル領域77の幅方向Wに関して、チャネル領域77からSTI部72側に微小距離 Δ （たとえば、0.1~0.2 μm ）だけはみ出したパターンに形成される。チャネル領域77の長さ方向（一対のドリフト層78、79の対向方向）に関しては、チャネル領域77上の窒化シリコン膜43は、所望のチャネル長に対応した長さとされる。このチャネル領域77の両側では、STI部72および窒化シリコン膜43によって取り囲まれた一対の矩形領域91、92において、シリコン基板40の表面が露出することになる。この一対の矩形領域91、92のほぼ中央には、コンタクト孔86、87に対応した領域に窒化シリコン膜43が形成されている。

【0038】

STI部72の上側縁部72a（チャネル領域77の縁部）には、不純物拡散工程（図2Bの工程など）前にその都度行われる洗浄処理（ふっ酸液によるライトエッチングなど

）などに起因して、図４Ａに示すような窪み（ディボット）９３が生じている。この窪み９３を残したままでゲート酸化膜８０を形成すると、この窪み９３の部分において、ゲート酸化膜８０には顕著な薄膜部が生じる。この薄膜部は、リークの原因となり、ゲート酸化膜耐圧の低下を招く。また、この薄膜部は、部分的に低しきい値の領域を形成することになるから、高耐圧トランジスタ７１の静特性の悪化（しきい値が不安定になるなど）を招く。

【００３９】

この実施形態では、図４Ｂに示すように、ゲート酸化膜８０を形成する工程より前に窪み９３を取り除くために、ＬＯＣＯＳ酸化膜８４、８５を形成する熱酸化工程（ドリフト層７８、７９を形成する熱拡散工程）において、ＳＴＩ部７２からチャンネル領域７７へと延びるバースピーク９４が成長させられる。すなわち、前述のとおり、窒化シリコン膜４３は、チャンネル領域７７の幅方向に関して微小距離ΔだけＳＴＩ部７２側にはみ出しているとともに、ＳＴＩ部７２とチャンネル領域７７との近傍の領域を露出させるパターンに形成されているので、酸素雰囲気中での加熱により、ＳＴＩ部７２の露出部において酸化膜が成長し、バースピーク９４が窒化シリコン膜４３の下方へと潜り込んでチャンネル領域７７へと進入する。これにより、窪み９３が取り除かれる。

【００４０】

微小距離Δは、前記熱酸化工程によって成長するバースピーク９４の根元部の膜厚 t が、ゲート酸化膜８０の所望の膜厚（たとえば１０００Å）とほぼ等しくなるように定められる。より好ましくは、膜厚 t は、ゲート酸化膜８０の所望の膜厚とパッド酸化膜４２（後にふっ酸液によりエッチングされる。）の膜厚との和にほぼ等しく定められるとよい。

ゲート酸化膜８０を形成するための熱酸化工程では、図４Ｃに示すように、チャンネル領域７７のシリコン基板４０の表面に成長するゲート酸化膜８０とバースピーク９４とが接続し、チャンネル領域７７には、その中央領域からエッジ部に至る各部で均一な膜厚のゲート酸化膜８０が形成されることになる。

【００４１】

図５は、この発明の他の実施形態に係る半導体装置の構成を説明するための図解的な断面図である。この図５において、前述の図１に示された各部に対応する部分には、図１の場合と同一の参照符号を付して示す。

この実施形態では、第２領域７０における素子形成領域は、ＳＴＩ部７２ではなく、ＬＯＣＯＳ酸化膜９８によって分離されている。高耐圧領域としての第２領域７０に関しては、高耐圧トランジスタ７１のサイズが大きいので、必ずしもＳＴＩ法による分離を適用する必要はない。したがって、この実施形態のように、第２領域７０における素子形成領域７３の分離を、ＬＯＣＯＳ法によって行っても差し支えない。しかも、ＬＯＣＯＳ法による素子分離を行うことによって、第２領域７０内における電界集中をより一層緩和することができるから、第２領域７０の耐圧を一層高めることができる。また、第１および第２領域５０、７０の境界部に位置するＬＯＣＯＳ酸化膜９８に顕著な段差が生じることもない。

【００４２】

以上、この発明の２つの実施形態について説明したが、この発明は、他の形態で実施することもできる。たとえば、第１および第２領域５０、７０の両方に関してＬＯＣＯＳ法による素子分離が行われてもよい。この場合でも、第１および第２領域５０、７０の境界部におけるＬＯＣＯＳ酸化膜９８に顕著な段差が生じることがないのは、前述の場合と同様である。

【００４３】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【００４４】

【図１】 この発明の一実施形態に係る半導体装置の構成を説明するための図解的な断

面図である。

【図 2 A】前記の半導体装置の製造工程を示す断面図である。

【図 2 B】図 2 A の次の工程を示す断面図である。

【図 2 C】図 2 B の次の工程を示す断面図である。

【図 2 D】図 2 C の次の工程を示す断面図である。

【図 2 E】図 2 D の次の工程を示す断面図である。

【図 2 F】図 2 E の次の工程を示す断面図である。

【図 2 G】図 2 F の次の工程を示す断面図である。

【図 2 H】図 2 G の次の工程を示す断面図である。

【図 2 I】図 2 H の次の工程を示す断面図である。

【図 2 J】図 2 I の次の工程を示す断面図である。

【図 2 K】図 2 J の次の工程を示す断面図である。

【図 2 L】図 2 K の次の工程を示す断面図である。

【図 2 M】図 2 L の次の工程を示す断面図である。

【図 2 N】図 2 M の次の工程を示す断面図である。

【図 3】高耐圧トランジスタの近傍の平面図であり、図 2 E の工程における構成を示す。

【図 4】図 4 A は図 3 の切断面線 IV-IV における断面図であり、図 4 B は図 2 F の工程に対応する同様の切断面を示し、図 4 C は図 2 I に対応する同様の切断面を示す。

【図 5】この発明の他の実施形態に係る半導体装置の構成を説明するための図解的な断面図である。

【図 6】この発明に係る半導体装置の製造方法を一例により概説するための図解的な断面図である。

【図 7】ドリフト・ドレイン構造のトランジスタを有する半導体装置の従来の製造方法を工程順に示す断面図である。

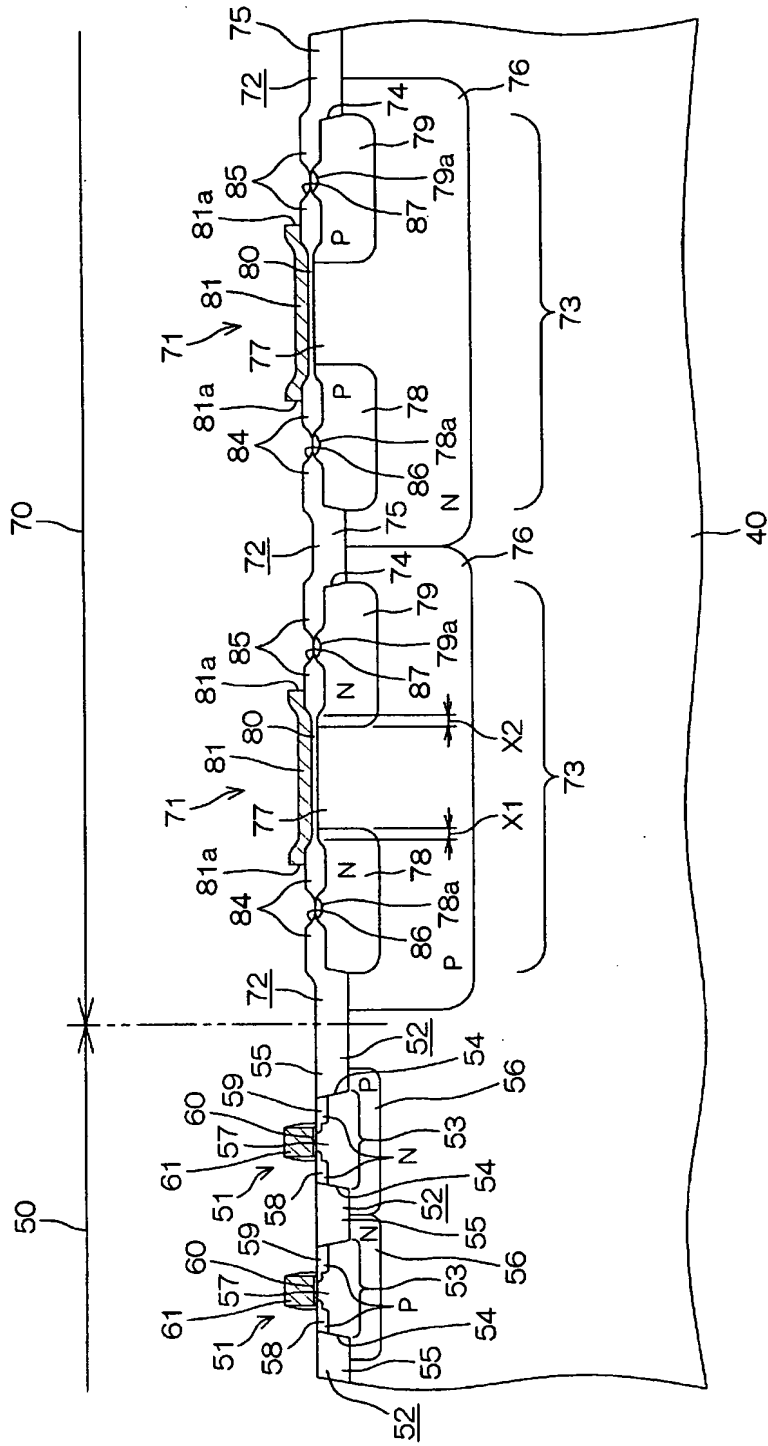
【図 8】従来の製造方法でドリフト・ドレイン構造のトランジスタを製造した場合の耐圧のはらつきを説明するための図である。

【符号の説明】

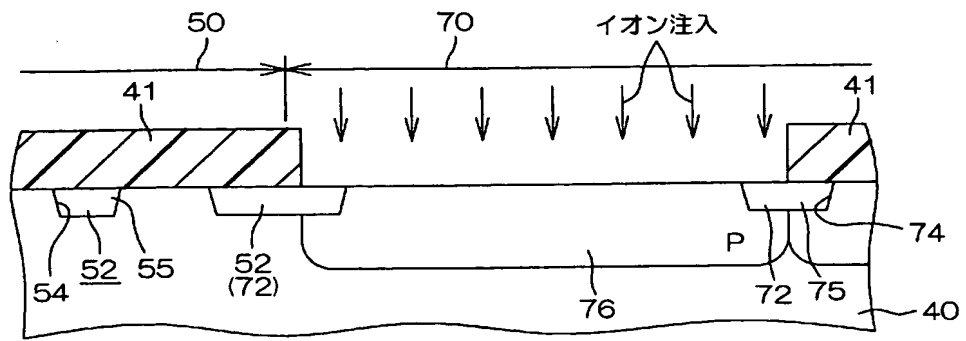
【0045】

40	シリコン基板
41	レジスト膜
42	バッド酸化膜
43	窒化シリコン膜
43a	マスク開口
44	レジスト膜
44a	レジスト開口
45	酸化皮膜
46	レジスト膜
47	レジスト膜
50	第1領域
51	低耐圧トランジスタ
52	STI部
53	素子形成領域
54	トレンチ
55	酸化シリコン
56	ウェル
57	チャネル領域
58	ソース拡散層
59	ドレイン拡散層
60	ゲート酸化膜

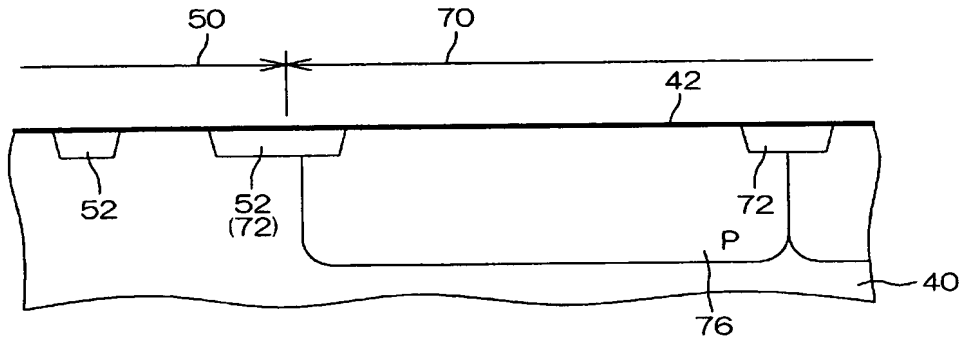
6 1 ゲート電極
7 0 第2領域
7 1 高耐圧トランジスタ
7 2 S T I 部
7 2 a S T I 部の上側縁部
7 3 素子形成領域
7 4 トレンチ
7 5 酸化シリコン
7 6 ウェル
7 7 チャネル領域
7 8 ソース側ドリフト層
7 8 a ソースコンタクト層
7 9 ドレイン側ドリフト層
7 9 a ドレインコンタクト層
8 0 ゲート酸化膜
8 1 ゲート電極
8 1 a ゲート電極の端部
8 4 , 8 5 L O C O S 酸化膜
8 6 , 8 7 コンタクト孔
9 3 窪み
9 4 パーズピーク
9 8 L O C O S 酸化膜



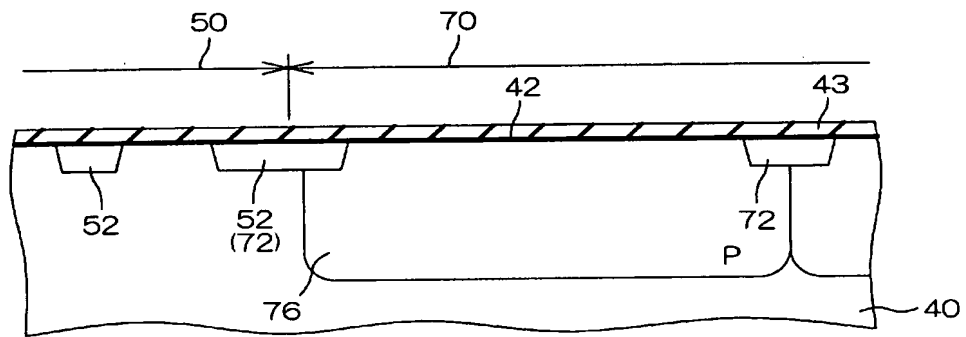
【図 2 A】



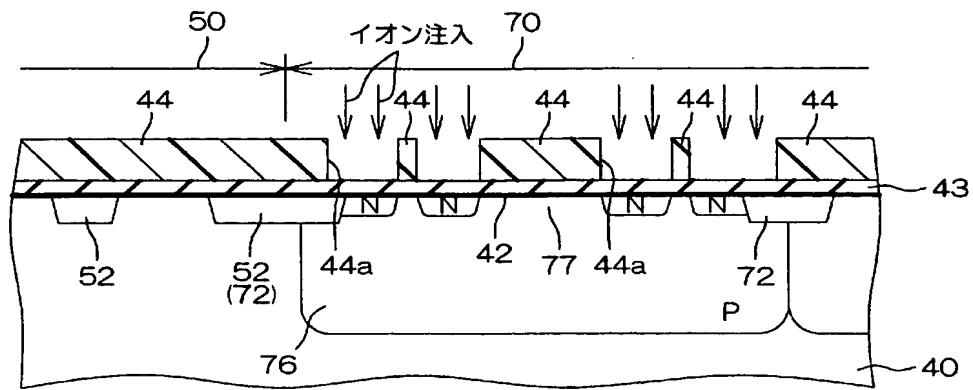
【図 2 B】



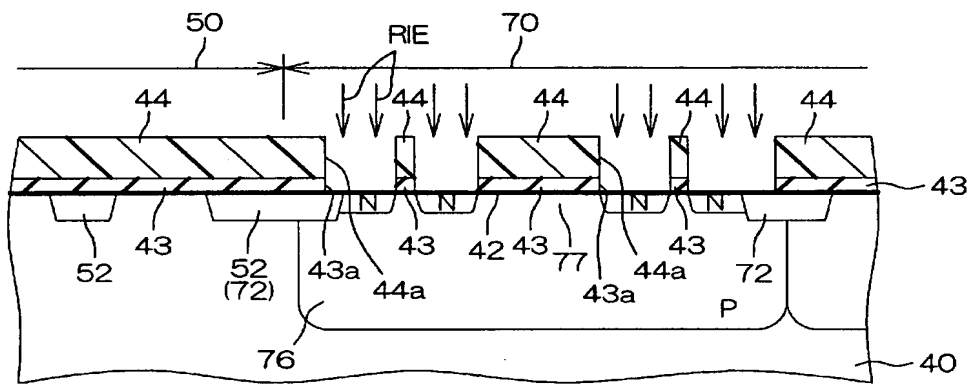
【図 2 C】



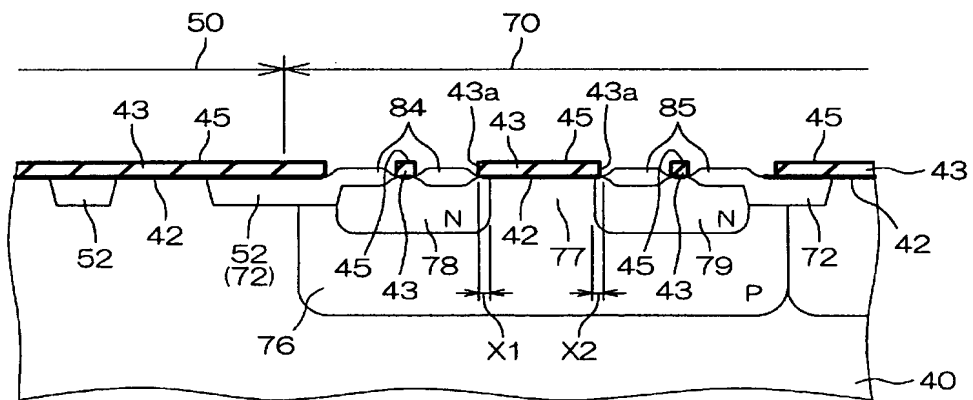
【図 2 D】



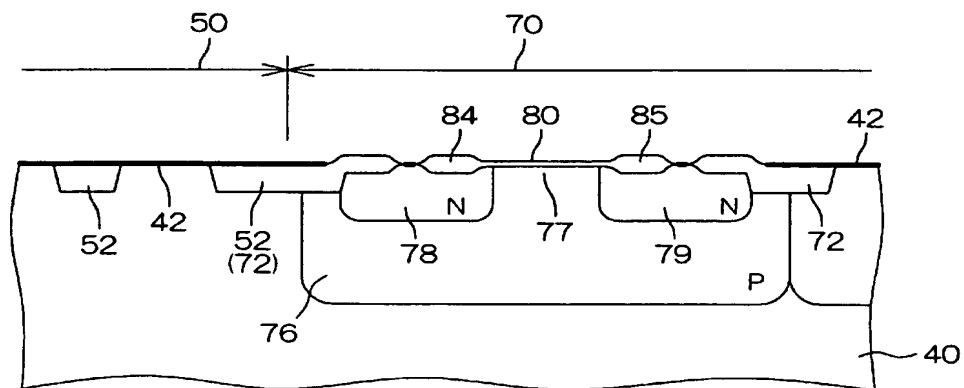
【図 2 E】



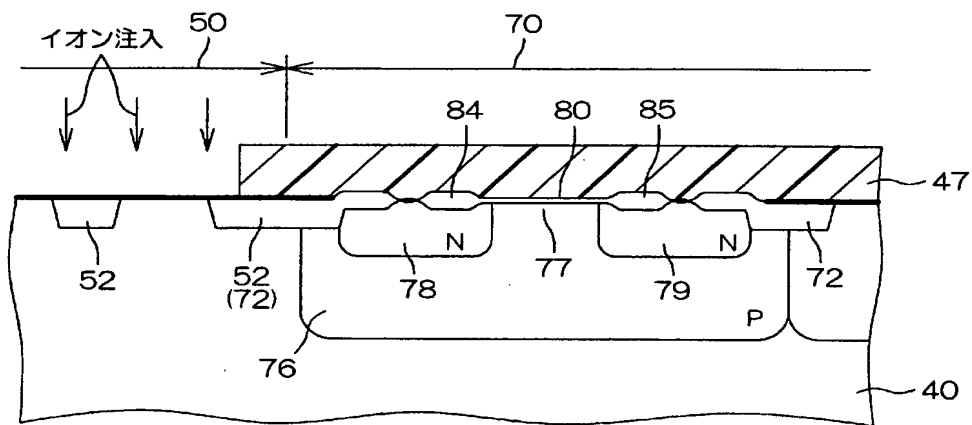
【図 2 F】



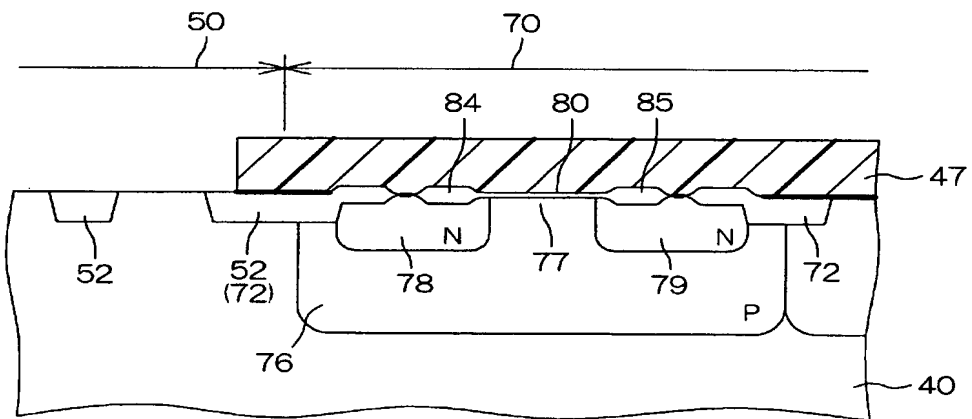
【図 2 J】



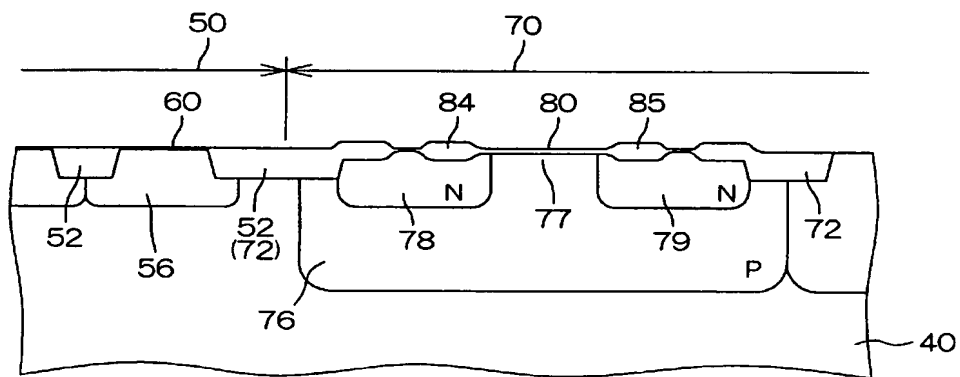
【図 2 K】



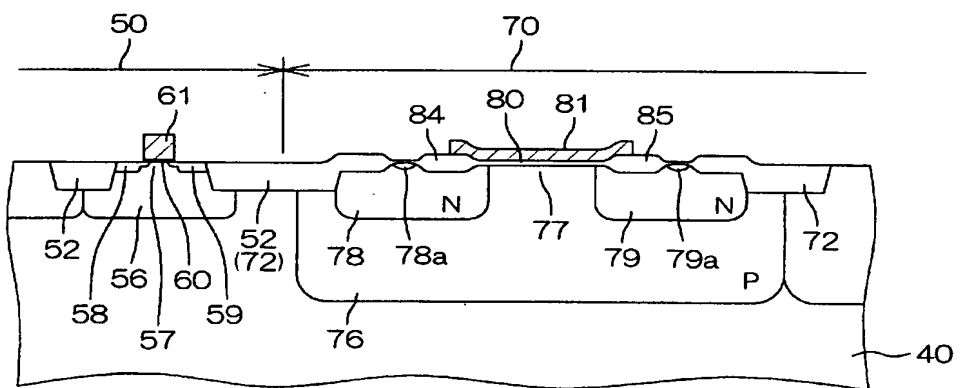
【図 2 L】



【図 2 M】



【図 2 N】



【図 3】

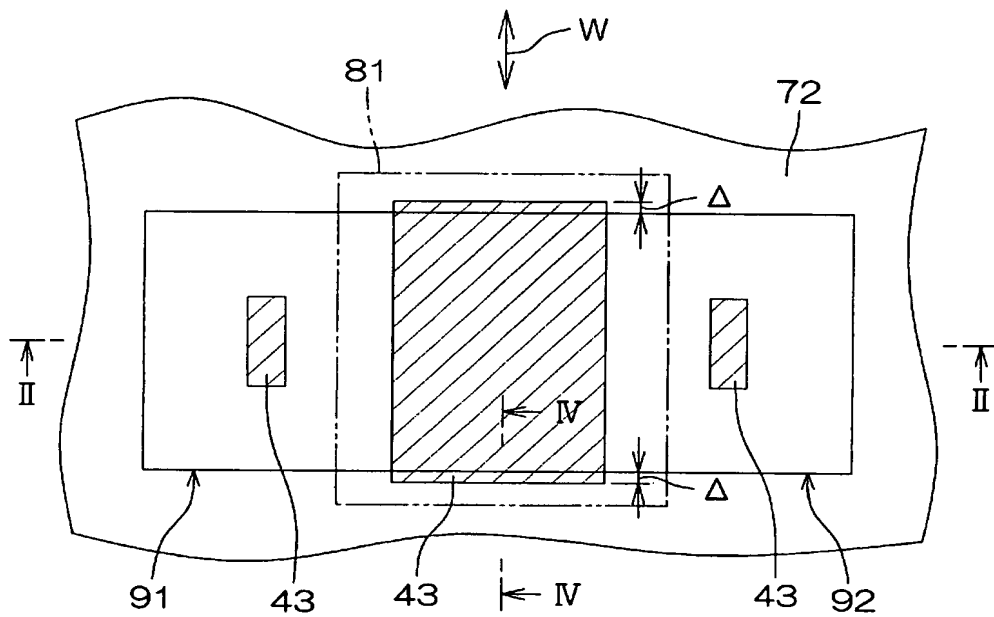


図4A

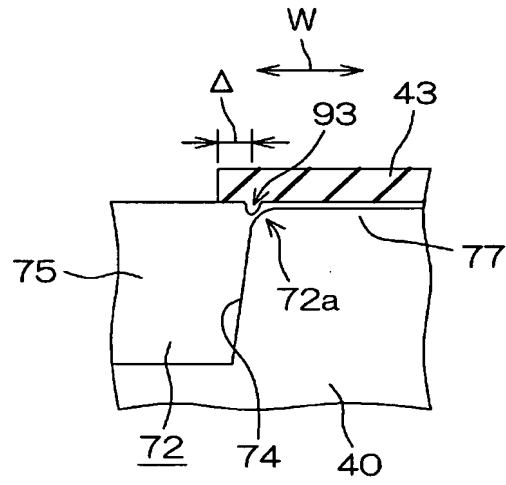


図4B

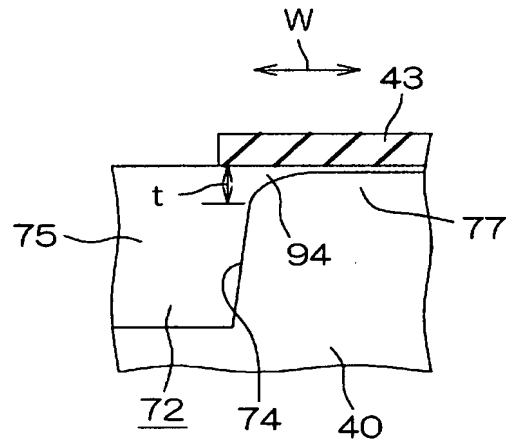
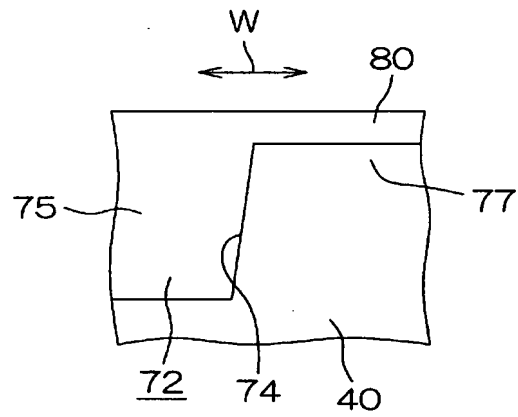
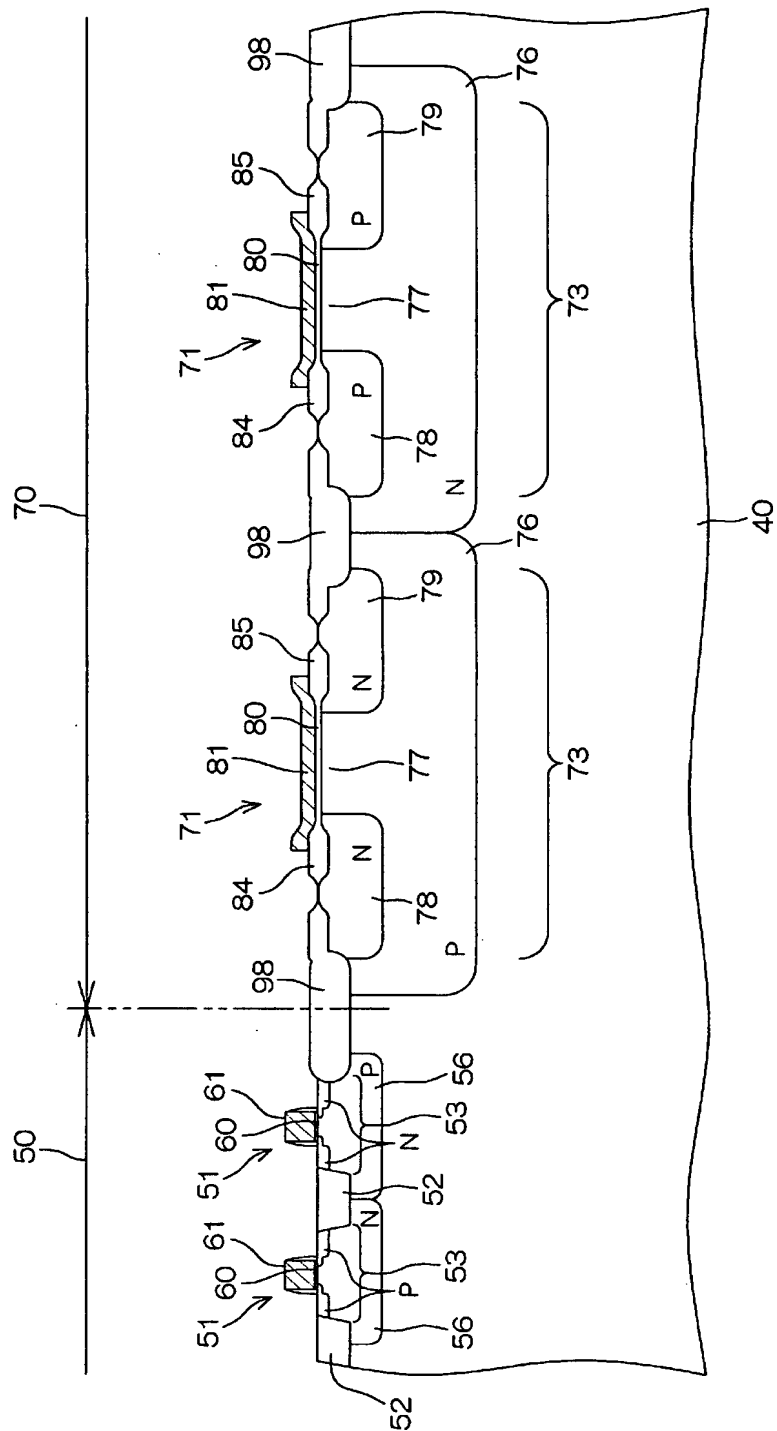
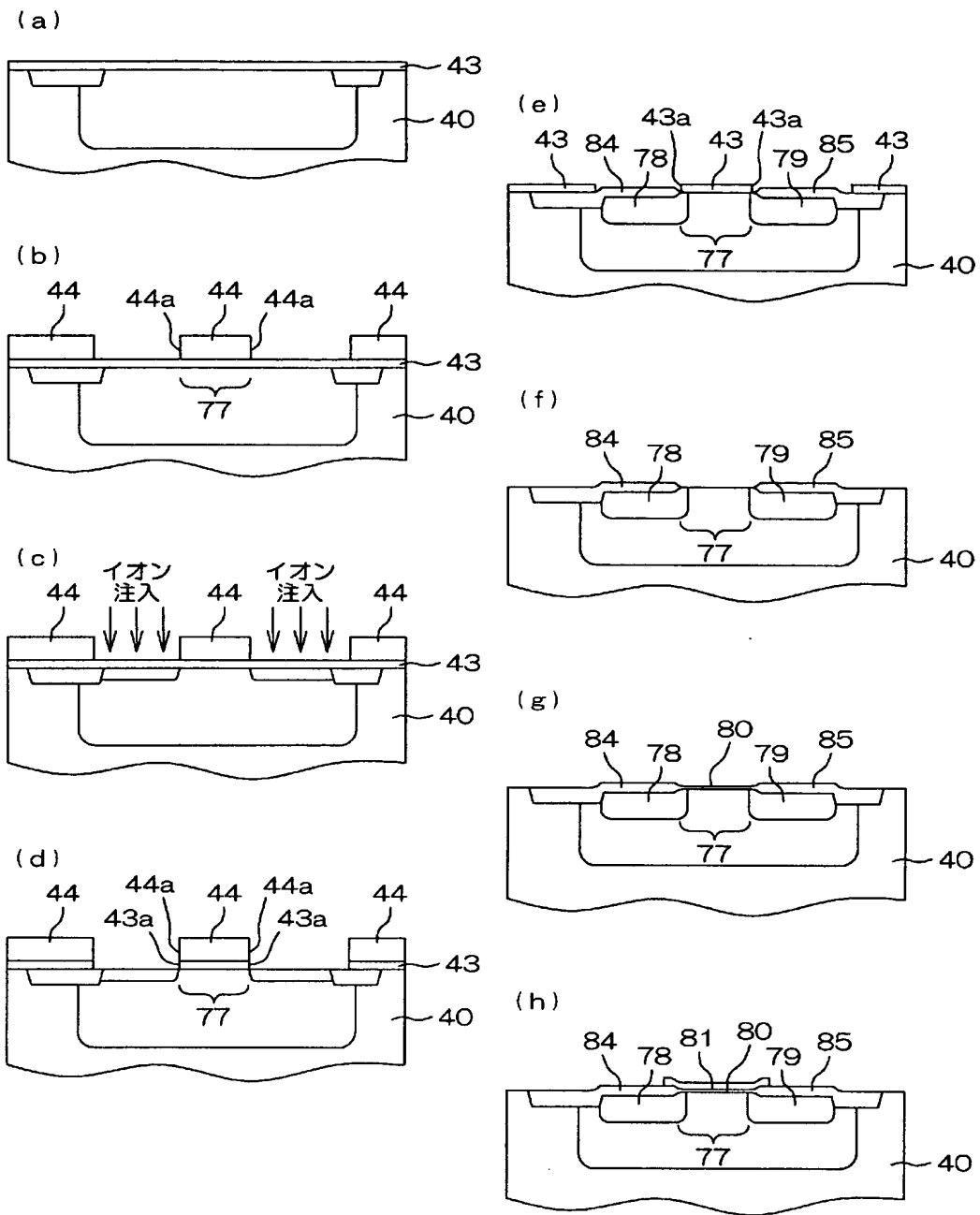


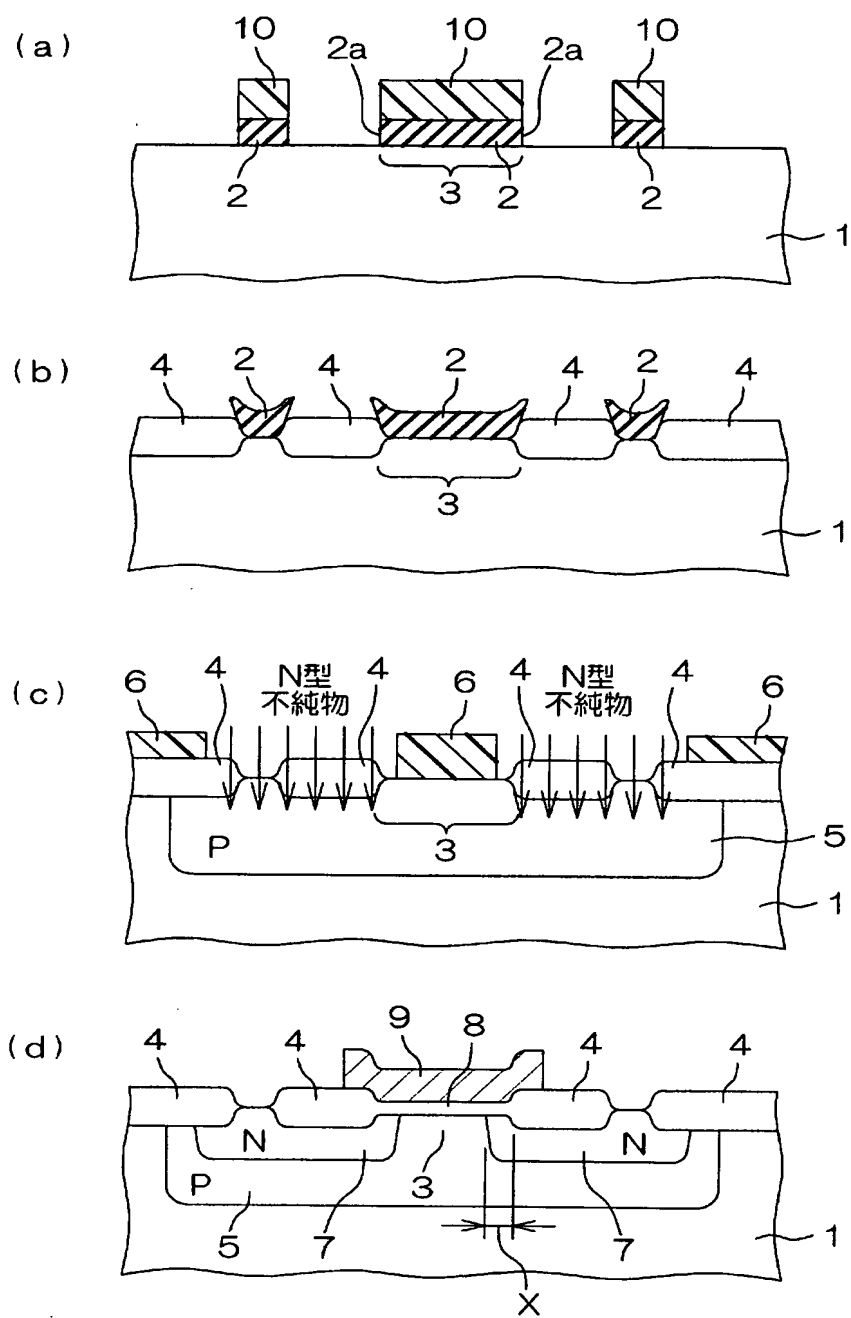
図4C



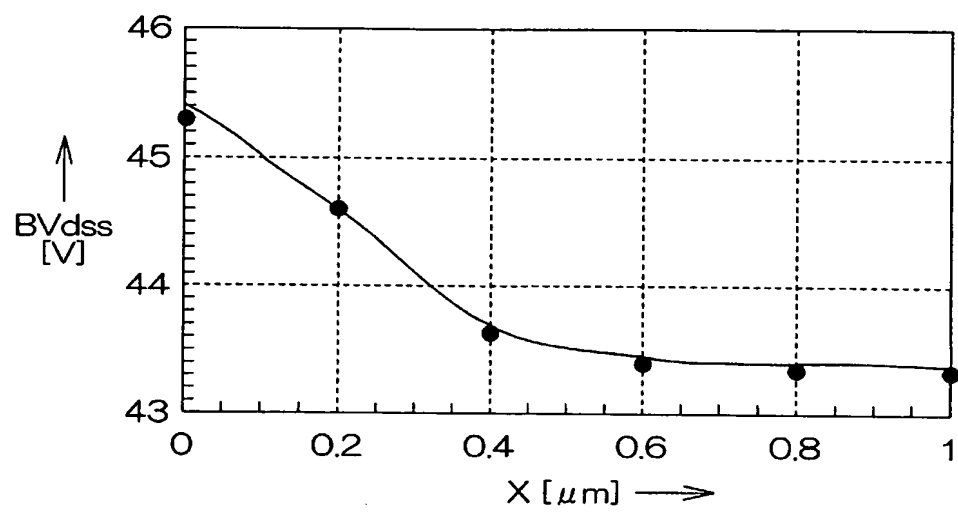
【図 5】







【图 8】



【書類名】要約書

【要約】

【課題】ドリフト・ドレイン構造のトランジスタの耐圧のばらつきを抑制することができる半導体装置の製造方法を提供する。

【解決手段】半導体基板40を覆う耐酸化性マスク膜43（たとえば窒化シリコン膜）を形成する(a)。耐酸化性マスク膜43においてチャネル領域77を挟んだ一対の領域にレジスト開口44aを有するレジスト膜44を形成する(b)。レジスト膜44をマスクとして、半導体基板40にイオン注入する(c)。また、レジスト膜44をマスクとして耐酸化性マスク膜43を選択エッチングし、レジスト開口44aに対応した一対のマスク開口43aを形成する(d)。イオン注入および耐酸化性マスク選択エッチングの後に、耐酸化性マスク膜43をマスクとして半導体基板40表面を熱酸化することにより、LOCOS酸化膜84、85を形成するとともに、イオンを熱拡散させて、チャネル領域77を挟んで対向する一対のドリフト層78、79を形成する(e)。

【選択図】

図6

出願人履歴

000116024

19900822

新規登録

京都府京都市右京区西院溝崎町21番地
ローム株式会社